

MOS-FET als Schalter

In der Digital-Technik schalten Feld-Effekt-Transistoren ein oder aus und erzeugen so die logischen Spannungspegel „low“ und „high“ respektive „0“ und „1“.

Dieses Skript behandelt Fragen wie:

- Wie funktioniert ein MOS-FET als Schalter?
- Welche Randbedingungen der MOS-FETs müssen berücksichtigt werden?
- Wie sind CMOS-Grundsaltungen aufgebaut und wie funktionieren sie?
- Wie können Eingänge geschützt und entprellt werden?
- Wie können LEDs und Relais angesteuert werden?
- Wie können analoge Signale mit MOS-FETs geschaltet werden?
- Worauf ist beim Print-Layout zu achten?

Simulations-Dateien finden sich hier: www.zhaw.ch/~hhrt/EK1/MOSFETalsSchalter/

Original-URL: www.zhaw.ch/~hhrt/EK1/MOSFETalsSchalter/MOSFETalsSchalter.pdf

© Hanspeter Hochreutener, hhrt@zhaw.ch , 13. Januar 2014

Zentrum für Signalverarbeitung und Nachrichtentechnik, zsn.zhaw.ch

School of Engineering www.engineering.zhaw.ch

Zürcher Hochschule für angewandte Wissenschaften www.zhaw.ch

Inhaltsverzeichnis

1. MOS-FET-Funktionsweise und -Eigenschaften	3
2. MOS-FET- und Schalter-Kennlinien im Vergleich	4
2.1. Randbedingungen für den MOS-FET als Schalter	5
2.2. Exemplarstreuung der Gate-Source-Schwellspannung	5
2.3. Complementärer MOS-FET statt Drain-Widerstand	6
3. CMOS-Grundbausteine der Digital-Technik	6
3.1. CMOS-Inverter	7
3.2. CMOS-NAND	7
3.3. CMOS-NOR	7
4. Tipps für die Praxis	8
4.1. Logik-Familien-Übersicht	8
4.2. Definition der Verzögerungs- und Anstiegszeiten	8
4.3. Block-Kondensatoren und Ground-Plate	9
4.4. Schutz vor elektrostatischen Überspannungen	9
4.5. LED-Ansteuerung	10
4.6. Relais-Ansteuerung	10
4.7. Transmission-Gate = potentialfreier Schalter	11
4.8. Universelle Input-Output-Schaltung eines μ -Controllers	12
5. Übungsaufgaben	13
5.1. Print-Layout	13
5.2. Kompatibilität zwischen 74LSxx und 74HCTxx	13
5.3. ESD-Schutz und Entprellung für μ Controller mit externem Taster	14
5.4. Störspannungsabstand digitaler Standard-Signale	14
5.5. Low-Power-Oszillator	15
6. Literaturhinweise und Software	16
7. Lernziele	16

1. MOS-FET-Funktionsweise und -Eigenschaften

Um die nachfolgenden Kapitel verstehen zu können, müssen sie wissen, wie ein Feld-Effekt-Transistor grundsätzlich funktioniert.

Die Funktionsweise wird anhand eines n-Kanal-MOS-FETs erklärt.

Beim p-Kanal-MOS-FETs sind die Vorzeichen aller Spannungen und Ströme umgekehrt. Als bewegliche Ladungsträger treten an die Stelle der Elektronen die Löcher und umgekehrt.

In untenstehender Tabelle verwendete Symbole	Negativ geladen	Positiv geladen
Bewegliche Ladungsträger	\ominus = Elektron	\oplus = Loch
Im Kristallgitter verankerte (unbewegliche) Atomrümpfe	-	+

Mit einem **grünen Strich** markiert sind die metallischen Transistor-Anschlüsse.

Der **braune Strich** steht für die isolierende Oxid-Schicht beim MOS-FET.

Transistor-Typ	MOS-FET MOS = Metal-Oxid-Silcon FET = Field-Effect-Transistor	= Isolierschicht-FET = enhancement-FET = Anreicherungs-FET = Selbstsperrender FET
Symbol		Tipp: Pfeil beim Substrat (= Bulk) entspricht der Polarität. n-Seite des Pfeils zum Kanal => n-Kanal-FET p-Seite des Pfeils zum Kanal => p-Kanal-FET
Ladungsträgerverteilung ohne Spannung		Zwischen den beiden n-dotierten Source und Drain gibt es keinen durchgehenden Kanal für die \ominus .
Steuerspannung unter dem Schwellwert		Zwischen den beiden n-dotierten Source und Drain gibt es keinen durchgehenden Kanal für die \ominus . Der MOS-FET sperrt ohne Steuerspannung; er ist also selbstsperrend .
Steuerspannung leicht über dem Schwellwert		Die positive Gate-Source-Spannung saugt \ominus aus der Source unter das Gebiet des Gates und es entsteht ein dünner durchgehender n-Kanal zwischen Source und Drain. Das Kanal-Gebiet wird mit \ominus angereichert (enhancement) , es beginnt ein Strom zu fließen. Die Gate-Source-Spannung bei der der MOS-FET zu leiten beginnt, wird Threshold-Spannung genannt. Sie beträgt einige Volt, hängt von der Geometrie und der Dotierung ab und unterliegt Herstellungs-Toleranzen (= Exemplar-Streuung).
Steuerspannung stark über dem Schwellwert		Die noch positivere Gate-Source-Spannung saugt mehr \ominus aus der Source unter das Gate und es entsteht ein dicker durchgehender n-Kanal zwischen Source und Drain. Der \ominus -Strom von der Source zum Drain steigt weiter an. Der MOS-FET leitet .

Prägnante Erklärungen zur Funktionsweise des MOS-FETs finden sie hier:

- <http://www.elektronik-kompodium.de/> => Bauelemente => Transistoren => MOS-Feldeffekttransistor <http://www.elektronik-kompodium.de/sites/bau/0510161.htm>
- Landes-Bildungsserver Baden-Württemberg <http://www.schule-bw.de> => Unterricht => Physik => Elektrizitätslehre I => Halbleiter und Elektronik => Der Feldeffekt-Transistor http://www.schule-bw.de/unterricht/faecher/physik/online_material/e_lehre_1/elektronik/feldeffekttransistor.htm
- You-Tube: <http://www.youtube.com/watch?v=9gvFMHAbR70>

2. MOS-FET- und Schalter-Kennlinien im Vergleich

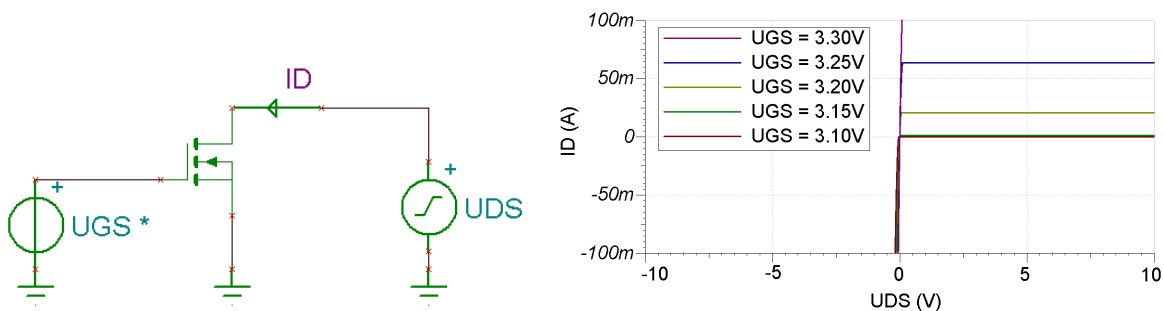
In der Digitaltechnik werden zwei Zustände unterschieden: 0/1 oder Spannung aus/ein oder Pegel „low“ und „high“. Dazu werden schnelle, zuverlässige Schalter benötigt.

Ein idealer Schalter hat folgende Eigenschaften:

- Es gibt genau zwei Zustände: aus und ein.
- Im aus-Zustand ist der Widerstand ∞ . Unabhängig von Höhe und Polarität der Spannung fließt kein Strom. Die „aus“-Kennlinie ist identisch mit der Spannungsachse (Strom = 0)
- Im ein-Zustand ist der Widerstand 0. Unabhängig von Höhe und Polarität des Stroms fällt keine Spannung ab. Die „ein“-Kennlinie ist identisch mit der Stromachse (Spannung = 0)
- Der Zustands-Wechsel erfolgt verzögerungsfrei und es treten in keinem Augenblick undefinierte Zustände auf.
- Die Ansteuerung des Schalters benötigt keine Energie.

Der „Widerstand“ eines FET (= field effect transistor) kann mit einem Signal am Steuereingang variiert werden. Unter welchen Bedingungen er sich als Schalter eignet, wird nachfolgend für den n-Kanal-Anreicherungs-Feldeffekt-Transistor untersucht.

Für verschiedene Werte der Gate-Source-Spannung wird bei untenstehender Schaltung der Drain-Strom bestimmt. Gleichzeitig wird die Drain-Source-Spannung von -10V bis +10V variiert.



Ein Vergleich mit den Kennlinien des idealen Schalters zeigt:

- „aus“-Kennlinie (= Spannungsachse) wird gut angenähert für Gate-Source-Spannung unter dem Schwellwert und positive Drain-Source-Spannung.
- „ein“-Kennlinie (= Stromachse) wird gut angenähert für Gate-Source-Spannung über dem Schwellwert und positive Drain-Source-Spannung.
- Für negative Drain-Source-Spannungen ist der Transistor als Schalter unbrauchbar.

2.1. Randbedingungen für den MOS-FET als Schalter

Der MOS-FET kann als Schalter eingesetzt werden, wenn folgendes beachtet wird:

- Ein MOS-FET kann nur Gleichspannung mit der richtigen Polarität schalten.
- Die zulässige Spannung am MOS-FET wird nicht überschritten („aus“-Zustand).
- Der für den MOS-FET zulässige Strom wird nicht überschritten („ein“-Zustand).
- Die Ansteuer-Spannungen müssen passend gewählt werden.

2.2. Exemplarstreuung der Gate-Source-Schwelspannung

Der Herstellungsprozess eines MOS-FETs umfasst Dutzende von Prozessschritten, welche gewisse Fertigungstoleranzen aufweisen und sich schlussendlich auf die Kennlinie des MOS-FETs auswirken. Beim Einsatz eines MOS-FETs als Schalter, ist man in der komfortablen Lage, dass nur die beiden Zustände „aus“ und „ein“ betrachtet werden müssen.

Beim MOS-FET dominieren die Fertigungstoleranzen welche die Gate-Source-Schwelspannung (= gate source threshold-voltage) beeinflussen bei weitem. Nur diese müssen berücksichtigt werden.

- Zum sicheren Ausschalten des MOS-FET muss die Gate-Source-Spannung so tief gewählt werden, dass auch der am besten leitende MOS-FET sicher ausschaltet.
- Zum sicheren Einschalten des MOS-FET muss die Gate-Source-Spannung so hoch gewählt werden, dass auch der am schlechtesten leitende MOS-FET sicher einschaltet.
- Wenn die Gate-Source-Spannung gerade gleich der Schwelspannung ist, beginnt erst ein sehr kleiner Strom zu fließen. Damit ein substantieller Strom fließen kann, muss die Gate-Source-Spannung noch etwas höher sein.

Der Temperatur-Einfluss ist bei den MOS-FETs nicht dominant und muss für die Schaltschwellen nicht berücksichtigt werden.

Zahlenbeispiel zur Gate-Source-Schwelspannung

Gegeben

Nebestehende Schaltung mit n-Kanal-MOS-FET IRF540 sowie Drainstrom $I_D < 50\text{mA}$, $V_{cc} = 5\text{V}$

Gesucht

Widerstand R_D und U_{ein} -Schaltschwellen

Datenblatt-Auszug

VGS(th) Gate Threshold Voltage	2.0 - 4.0 V	@ $V_{DS} = V_{GS}$, $I_D = 250\mu\text{A}$
gfs Forward Transconductance	21S	@ $V_{DS} = 50\text{V}$, $I_D = 16\text{A}$

Lösung

$$R_D = V_{cc}/I_D = 100\Omega$$

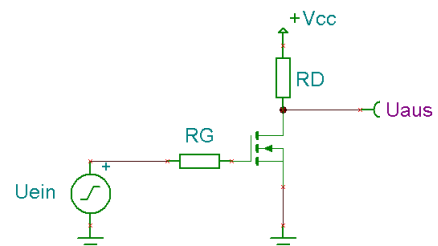
Extremwerte für die U_{GS} -Schaltschwelle aus dem Datenblatt herauslesen: 2V bis 4V.

Die obere Schwelle muss noch etwas erhöht werden, da ja ein Drain-Strom fließen soll.

Rechnerisch würde sich ergeben: $\Delta U_{GS} = I_D/g_{fs} = 50\text{mA}/21\text{S} = 2\text{mV}$.

Praktisch ist es etwas mehr, da die Steilheit bei grossen Strömen ansteigt. Der Wert von 21S wurde gemäss Datenblatt bei 16A gemessen, was viel mehr ist als 50mA.

Die **Schalt-Schwellen** für U_{ein} entsprechen damit etwa den Schwellen von U_{GS} : **2V und 4.2V**



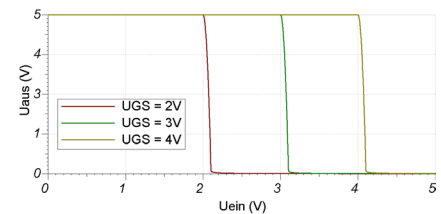
Beim FET fließt nur kurzzeitig ein Strom, um den Gate-Kondensator umzuladen. Der Widerstand R_G ($\sim 10\Omega$) hat deshalb keinen Einfluss auf die statische Kennlinie. Er dient dazu parasitäre Schwingungen zu verhindern.

Kontrolle durch Simulation von MOS-FETs mit unterschiedlichen U_{GS} -Schwellschwellen

Die Kennlinien bestätigen die Überlegungen.

Die untere Schwelle für U_{ein} muss $< 2V$ gewählt werden.

Die obere Schwelle für U_{ein} muss $> 4.2V$ gewählt werden.

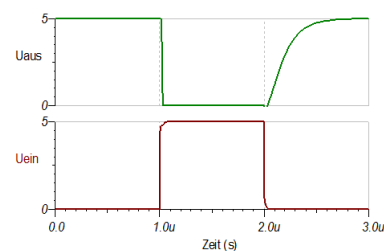
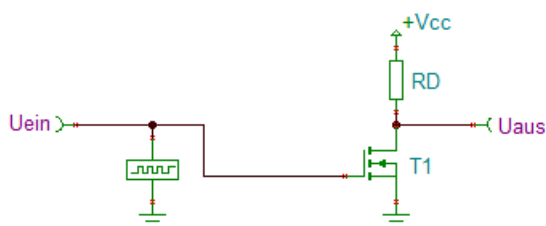


2.3. Complementärer MOS-FET statt Drain-Widerstand

Wie aus der Übertragungs-Kennlinie ersichtlich ist, ist die oben besprochene Schaltung ein Inverter. Sie könnte in der Digital-Technik eingesetzt werden, hat aber zwei entscheidende Nachteile:

- Wenn der MOS-FET leitet fließt dauernd ein Strom => Leistungsaufnahme ist hoch
- Das Ausschalten wird verzögert, da wegen des Stromflusses viele Ladungsträger aus dem MOS-FET entfernt werden müssen => maximale Taktfrequenz ist relativ tief

Die Simulation zeigt den zeitlichen Verlauf des Umschaltvorgangs auf:



Die Einschalt-Verzögerung beträgt 22ns und die Ausschalt-Verzögerung 170ns. Die maximal nutzbare Taktfrequenz berechnet sich zu $f_{max} = 1/(4 \cdot \text{längsteZeit}) = 1.5\text{MHz}$

Abhilfe ist möglich, indem der Drain-Widerstand durch einen complementären MOS-FET (CMOS = complimentary metal oxid silicon FET) ersetzt wird, der genau entgegengesetzt zum ersten MOS-FET ein- und ausschaltet.

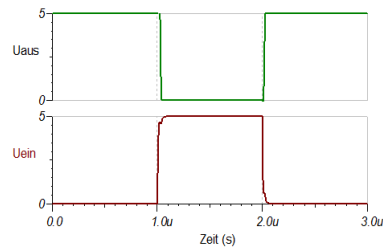
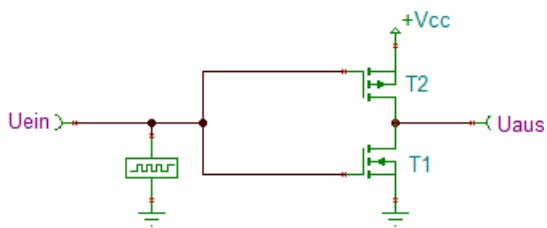
Die CMOS-Grundsaltungen werden im nächsten Kapitel behandelt.

3. CMOS-Grundbausteine der Digital-Technik

Die Digital-Technik-Bausteine und Prozessoren werden in CMOS-Technologie hergestellt. Der Name CMOS (= complimentary metal oxid silicon) bedeutet, dass jeweils komplementäre n- und p-Kanal-Anreicherungs-FET eingesetzt werden, um schnelle Schaltzeiten bei geringem Stromverbrauch zu erzielen.

Alle Digital-Technik-Funktionen lassen sich durch Kombination von Invertern, NAND und NOR realisieren.

3.1. CMOS-Inverter

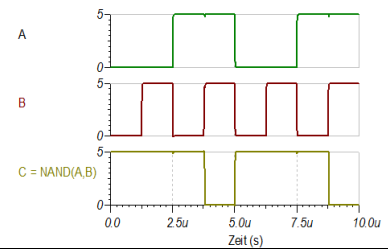
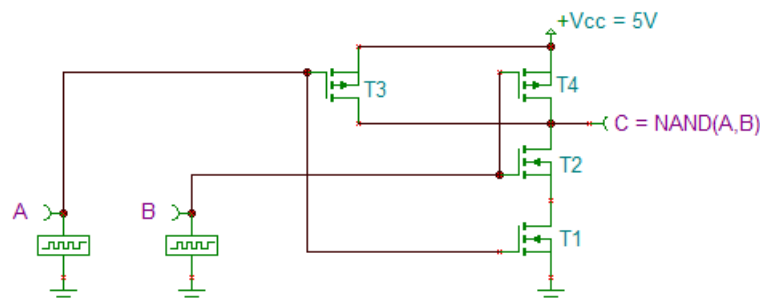


Die Einschalt-Verzögerung ist mit 27ns kaum länger als im obigen Beispiel mit 22ns. Aber die Ausschalt-Verzögerung beträgt nur noch 16ns statt 170ns. Die maximal nutzbare Taktfrequenz berechnet sich zu $f_{max} = 1/(4 \cdot \text{längsteZeit}) = 9.3\text{MHz}$

Funktionsweise der Schaltung:

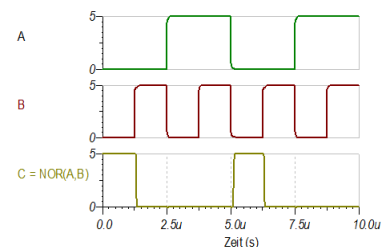
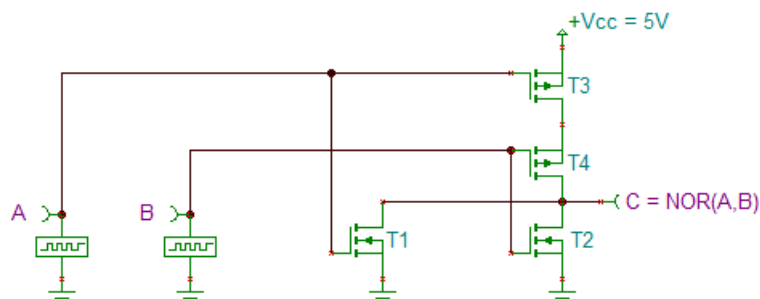
Uein	n-Kanal-MOS-FET T1	p-Kanal-MOS-FET T2	Uaus
Low = 0V	UGS(T1) = 0V => T1 sperrt	UGS(T1) = -5V => T2 leitet	High = 5V
High = 5V	UGS(T1) = 5V => T1 leitet	UGS(T1) = 0V => T2 sperrt	Low = 0V

3.2. CMOS-NAND



A	B	T1	T2	T3	T4	C
Low	Low	Sperrt	Sperrt	Leitet	Leitet	High
Low	High	Sperrt	Leitet	Leitet	Sperrt	High
High	Low	Leitet	Sperrt	Sperrt	Leitet	High
High	High	Leitet	Leitet	Sperrt	Sperrt	Low

3.3. CMOS-NOR



A	B	T1	T2	T3	T4	C
Low	Low	Sperrt	Sperrt	Leitet	Leitet	High
Low	High	Sperrt	Leitet	Leitet	Sperrt	Low
High	Low	Leitet	Sperrt	Sperrt	Leitet	Low
High	High	Leitet	Leitet	Sperrt	Sperrt	Low

4. Tipps für die Praxis

In vielen Geräten ist heute eine Steuereinheit integriert (embedded system). Sie besteht oft aus:

- μ Controller mit digitalen IO und oft analogen Eingängen und integriertem AD-Wandler
- Display oder Leuchtdioden für Status-Anzeigen und Bedienungsführung
- Tasten und ev. Potentiometer für Benutzereingaben
- Sensoren für die Umwandlung physikalischer Grössen in elektrische
- Aktoren für die Umwandlung elektrischer Grössen in physikalische

Dieses Kapitel gibt Hinweise für das Design solcher Geräte.

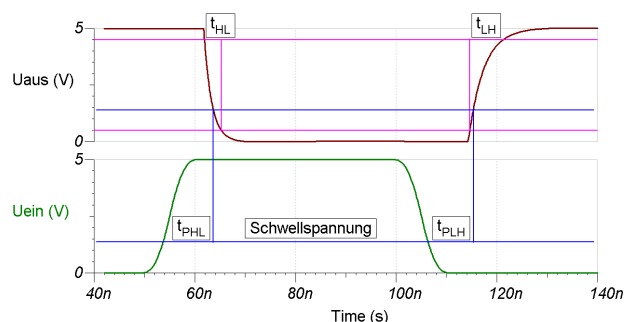
4.1. Logik-Familien-Übersicht

Logikfamilie		74LSxx	CD40xx	74HCxx	74HCTxx
Eigenschaft bei 5V		Bipolar	CMOS	CMOS	CMOS
Eingangsspannung	low	<0.8V@-0.36mA	<1.5V@0	<0.9V@0	<0.8V@0
@ Eingangsstrom	high	>2.0V@0.02mA	>3.5V@0	>3.15V@0	>2.0V@0
Ausgangsspannung	low	<0.4V@8mA	<0.4V@0.5mA	<0.33V@4mA	<0.33V@4mA
@ Ausgangsstrom	high	>2.4V@-0.4mA	>4.6V@-0.5mA	>3.84V@-4mA	>3.84V@-4mA
Lastfaktor = Anzahl Eingänge/Ausgang		20	>50	>50	>50
Laufzeit	typ.	10ns	~100ns	10ns	10ns
Versorgungsspannung		4.75...5.25V	3...15V	2...6V	4.5...5.5V

Die CD40xx-Familie kann eingesetzt werden, wenn keine stabilisierte 5V-Spannungsversorgung zur Verfügung steht. Sie ist für Batterie-betriebene Geräte besonders geeignet, da der Stromverbrauch extrem niedrig ist. Die Daten sind abhängig von der Versorgungsspannung.

Übersicht über die Standard-Logik-ICs: www.mikrocontroller.net/articles/74xx

4.2. Definition der Verzögerungs- und Anstiegszeiten



- T_{PLH} Verzögerungszeit der positiven Flanke
- T_{PHL} Verzögerungszeit der negativen Flanke
- T_{LH} Anstiegszeit der positiven Flanke
- T_{HL} Abfallzeit der negativen Flanke

Die Verzögerungszeit zwischen der Flanke des Eingangs-Signals und des Ausgangs-Signals beim Durchlaufen der Schwellspannung gemessen.

Die Anstiegszeit und die Abfallzeit sind ein Mass für die Flankensteilheit und werden zwischen 10% und 90% des Pegels des Ausgangs-Signals gemessen.

4.3. Block-Kondensatoren und Ground-Plate

Sperrschicht-Kapazitäten der BJT, Gate-Source-Kapazitäten der MOS-FETs sowie die Leitungen stellen eine kapazitive Last für die Ausgänge dar. Das Umladen dieser Kapazitäten verursacht hohe Stromspitzen.

Die Einstufen-Transistoren müssen in der Lage sein, diese Stromspitze zu liefern. Sie benötigen also eine gewisse Verstärkungs-Reserve. Anderenfalls sinkt die nutzbare Taktfrequenz.

Die Stromspitzen müssen von der Spannungsversorgung geliefert, resp. über den Ground abgeführt werden. Jede Leiterbahn stellt eine Induktivität dar ($\sim 1\mu\text{H}/\text{m}$). Die Stromspitzen erzeugen darum induktive Spannungsspitzen. Diese können höher sein, als die Logik-Pegel und die ganze Schaltung unbrauchbar machen! Man muss also unbedingt verhindern, dass die Stromspitzen in den Leiterbahnen auftreten.

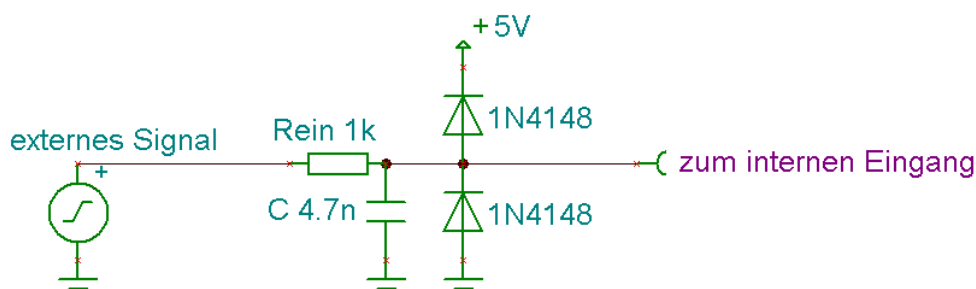
Als Massnahmen haben sich bewährt:

- Block-Kondensatoren ($\sim 10\text{nF}$, keramisch), welche in unmittelbarer Nähe jedes ICs platziert werden
- Ground-Plate für den Digital-Ground. Jede nicht anderweitig benötigte Fläche auf dem Print wird als Fläche ausgeführt und mit dem Digital-Ground verbunden. Dadurch sinkt die Induktivität und Resistivität der Ground-Leitung drastisch ab.
- Analog-Ground (falls vorhanden) separat führen und nur an einer einzigen Stelle mit dem Digital-Ground verbinden. Dadurch kann übersprechen der digitalen Taktfrequenz auf das Analog-Signal weitgehend verhindert werden.
- Spannungsstabilisierung für Digital- und Analog-Teil mit separaten Spannungsreglern

4.4. Schutz vor elektrostatischen Überspannungen

Elektrische Bauteile können durch Überspannung zerstört werden. Bei richtig ausgelegten Schaltungen kann die Überspannung nur über externe Anschlüsse in die Schaltung gelangen. Meist handelt es sich um elektrostatische Spannungen (ESD = electro-static discharge) oder um kurze Transienten, verursacht durch einen Schaltvorgang oder einen Blitzeinschlag in der Umgebung.

Besonders empfindlich sind hochohmigen Eingänge. Diese einfache Schaltung bietet einen guten Schutz und sollte für jeden externen Eingang vorgesehen werden, wenn keine speziellen Anforderungen gestellt werden.



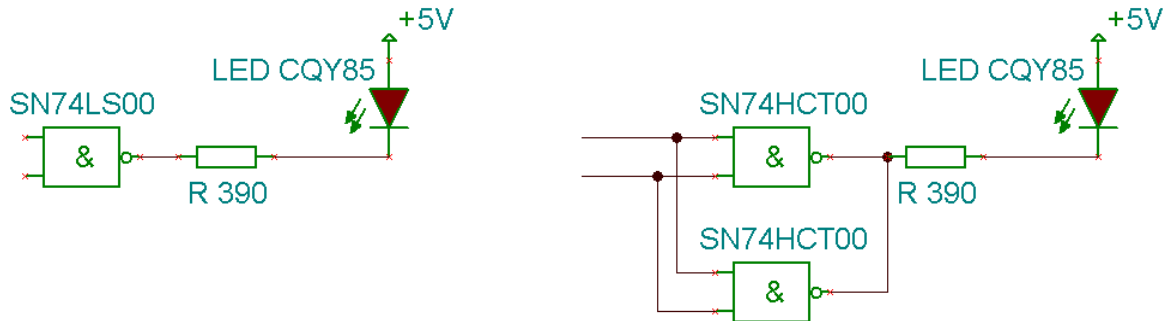
Rein = $1\text{k}\Omega$ ist ein guter Kompromiss: eine Überspannung in der Grössenordnung kV kann während einigen ms sicher abgeführt werden ohne die Dioden oder den Widerstand zu überlasten.

Der Kondensator C ist optional. Neben dem Schutz vor schnellen Transienten, kann er auch die Aufgabe eines **Anti-Aliasing-Filters** (1. Ordnung) vor dem Analog-Digital-Wandler übernehmen. Er muss für die gewünschte Frequenz ausgelegt werden $C = 1/(2\pi f \cdot \text{Rein})$.

Für digitale Eingänge und Ausgänge ist der Einsatz von **Optokopplern** der beste Schutz.

4.5. LED-Ansteuerung

Die mit BJT aufgebauten Logik-ICs können gegen Ground (Ausgang „low“) einen 20-mal höheren Strom schalten, als gegen die Versorgungsspannung (Ausgang „high“). Deshalb werden Verbraucher an die Versorgungsspannung angeschlossen und invertiert angesteuert.



Die Durchlass-Spannung einer Leuchtdiode beträgt ca. 2V. Der Strom muss mittels Vorwiderstand begrenzt werden. Im Beispiel fließen 8mA durch die LED.

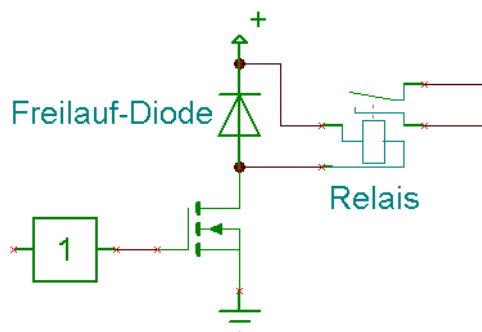
Mehrere CMOS-Ausgänge dürfen parallel geschaltet werden, wenn ein höherer Ausgangsstrom benötigt wird. Im Beispiel sollen 8mA durch die LED fließen. Da jeder HCT-Ausgang 4mA liefert, werden zwei Ausgänge parallel geschaltet.

Die saubere Lösung wäre, einen Treiber-IC einzusetzen, der genügend Strom liefern kann.

4.6. Relais-Ansteuerung

Relais benötigen in der Regel mehr Spannung und Strom als ein μ Controller-Ausgang liefern kann. Ein n-Kanal-Anreicherungs-FET kann als Teiber eingesetzt werden. Da der MOS-FET invertiert, muss der μ Controller-Ausgang nicht invertiert werden.

Die UGS-Schwelspannung beträgt bei den meisten MOS-FETs 2...4V. Das Gate kann somit direkt von einem CMOS-Ausgang eines mit 5V betriebenen μ Controllers angesteuert werden. Die Pegel müssen auf Kompatibilität überprüft werden.



Freilauf-Diode ist obligatorisch

Das Relais ist eine induktive Last. Wenn an einer Induktivität ein Strom schnell ausgeschaltet wird, induziert dies eine hohe induktive Überspannung, welche den Transistor zerstören kann. Die Freilauf-Diode übernimmt nach dem Ausschalten des Transistors den Stromfluss, bis das Magnetfeld im Relais abgebaut ist. Die induzierte Spannung wird so auf die Dioden-Flussspannung begrenzt.

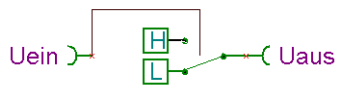
Das Relais ist nicht direkt am μ Controller angeschlossen. Es kann darum mit einer anderen Spannung betrieben werden.

Anstelle konventioneller Relais kann der Einsatz von **Halbleiterrelais** interessant sein. In diesem Fall sollen die application notes studiert werden.

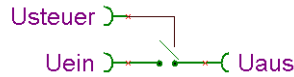
Es gibt auch **Treiber-ICs** mit integrierten Freilauf-Dioden, die direkt Relais ansteuern können.

4.7. Transmission-Gate = potentialfreier Schalter

In allen bisher besprochenen Schaltungen verbinden Transistoren den Ausgang entweder mit Ground oder der Versorgungsspannung. Der Ausgang geht auf „low“ resp. „high“ (Bild unten links).



Uein schaltet Uaus auf "low" oder "high"



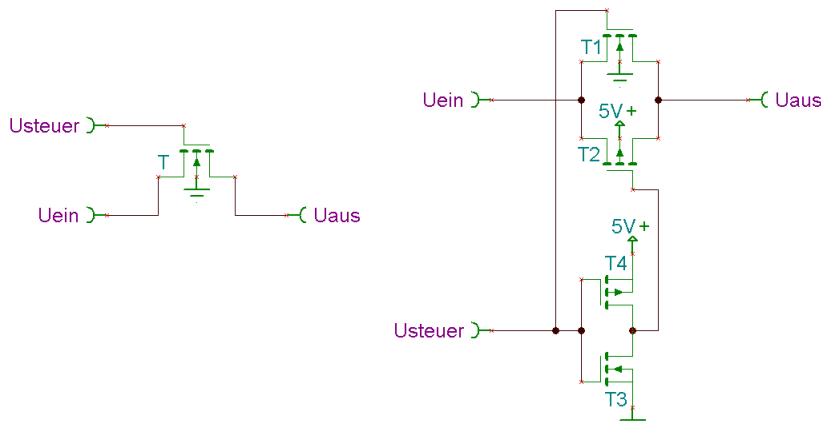
Usteuer "verbindet" Uein mit Uaus

Oft möchte man jedoch einen Schalter haben, der potenzialfrei arbeitet und wie ein mechanischer Schalter eine Verbindung zwischen zwei Anschlüssen öffnet oder schliesst (Bild oben rechts).

Ein einfacher Lösungsansatz besteht darin, einen n-Kanal-MOS-FET als Schalter zu verwenden (Bild unten links). Da das Gate vom Kanal isoliert ist, kann kein Strom vom Gate zu den beiden Anschlüssen „Uein“ und „Uaus“ fließen.

Für eine übersichtlichere Schreibweise soll die UGS-Schwellspannung 2V betragen. Damit lassen sich diese beiden Fälle unterscheiden:

- Schalter ist geöffnet (= n-Kanal-MOS-FET sperrt), wenn diese Bedingung erfüllt ist:
 $U_{steuer} - 2V < U_{ein} \ \&\& \ U_{steuer} - 2V < U_{aus}$
 Z.B. $U_{steuer} = 0$: der n-Kanal-MOS-FET sperrt für alle U_{ein} im Bereich 0...5V
- Schalter ist geschlossen (= n-Kanal-MOS-FET leitet), wenn diese Bedingung erfüllt ist:
 $U_{steuer} - 2V > U_{ein} \ \parallel \ U_{steuer} - 2V > U_{aus}$
 Z.B. $U_{steuer} = 5V$: der n-Kanal-MOS-FET leitet nur für U_{ein} im Bereich 0...3V, aber nicht für U_{ein} im Bereich 3...5V.



Um U_{ein} im Bereich 3...5V ebenfalls abdecken zu können, wird ein komplementärer p-Kanal-MOS-FET T2 parallel zum n-Kanal-MOS-FET T1 geschaltet (Bild oben rechts).

Der p-Kanal-MOS-FET T2 muss allerdings mit umgekehrter Polarität wie der n-Kanal-MOS-FET T1 angesteuert werden. Deshalb muss das Steuersignal mit T3 und T4 invertiert werden.

Das Transmission-Gate arbeitet als potenzialfreier Schalter. Es ist deshalb auch geeignet für das Schalten analoger Signale.

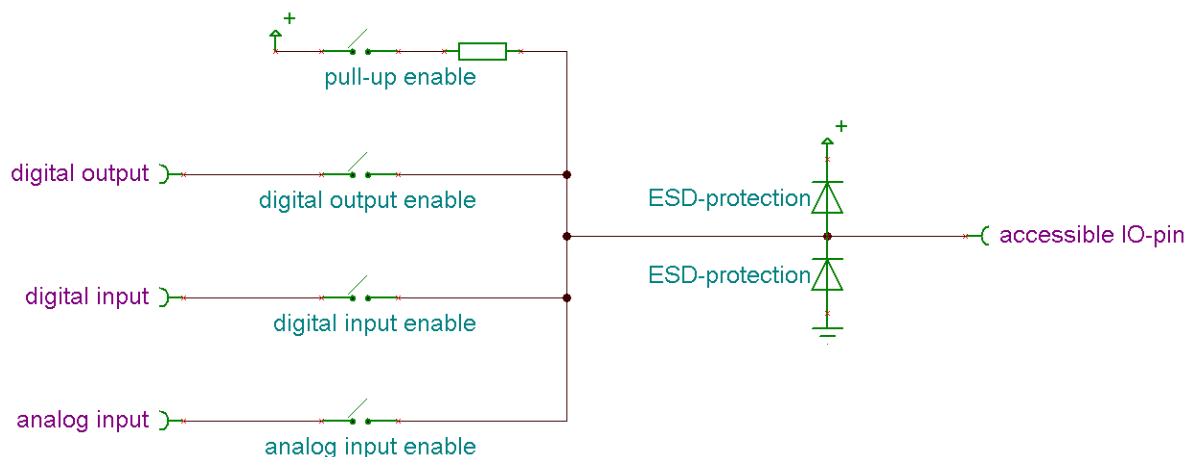
Die Eingangsspannung muss immer innerhalb der Versorgungsspannung liegen.

4.8. Universelle Input-Output-Schaltung eines μ -Controllers

Viele μ Controller haben einige frei programmierbare IO-Anschlüsse.

Ein μ Controller-Pin (Bezeichnung im untenstehenden Schema: accessible IO-pin) kann mittels programmierbaren enable-Bits konfiguriert werden als:

- Digitaler Ausgang
 - Digitaler Eingang
 - ohne pull-up-Widerstand
 - mit pull-up-Widerstand
- Analoges Eingang
 - Das Signal wird zum im μ Controller integrierten Analog-Digital-Wandler geschaltet. Ein Anti-Aliasing-Filter muss extern vorgesehen werden.
- Analoges Ausgang
 - ist in der Regel nicht verfügbar. Als einfache aber langsame Alternative zu einem externen Digital-Analog-Wandler kann im μ Controller ein PWM-Signal (pulse-width-modulation) erzeugt und via Digitalen Ausgang ausgegeben werden. Ein anschliessendes RC- Tiefpass-Filter kann als Rekonstruktions-Filter die analoge Mittelwert-Bildung übernehmen.



Ein rudimentärer ESD-Schutz ist durch die integrierten Dioden (oder eine äquivalente Schaltung) gegeben. Für nach aussen geführte Anschlüsse ist dieser ungenügend und es müssen geeignete Schutz-Schaltungen oder Optokoppler eingesetzt werden.

5. Übungsaufgaben

5.1. Print-Layout

Fragen

- Kann auf Block-Kondensatoren bei jedem IC verzichtet werden, wenn bei Digital-Schaltungen ein Ground-Plate verwendet wird?
- Ist es vorteilhaft, wenn auf beiden Seiten des Prints ein Ground-Plate vorhanden ist?
- μ Controller haben oft ein quadratisches Gehäuse. In der Mitte jeder Seite sind Anschlüsse für Ground und Speisespannung vorhanden. Müssen alle IC-Anschlüsse kontaktiert werden? Braucht es auf jeder Seite des μ Controllers einen Block-Kondensator?

Antworten

- Die Stromspitzen, welche beim Umschalten der Transistoren entstehen, erzeugen in den Speise-Leitungen des ICs einen induktiven Spannungsabfall. Ein Ground-Plate weist gegenüber einer Leiterbahn eine viel geringere Induktivität auf und die induzierte Spannungsspitze ist deshalb gering. Das Ground-Plate verhindert allerdings nicht, dass in der Speisespannungs-Leiterbahn eine Spannungsspitze induziert wird, welche die Funktion des ICs stören kann. Zusammengefasst: Das Ground-Plate garantiert, dass auf dem ganzen Print das Ground-Potenzial „gleich“ ist. Die Block-Kondensatoren sind auf jeden Fall notwendig, um Spannungsspitzen auf der Versorgungsspannung bei den ICs zu vermeiden. Ein praktikabler Kompromiss ist es, einen Kondensator für zwei benachbarte ICs zu verwenden.
- Die beste Lösung ist möglichst viele Leiterbahnen auf eine Printseite zu legen, damit auf der anderen Seite ein fast vollflächiges Ground-Plate möglich ist.
- Im Prinzip reicht es die Speisung auf einer IC-Seite zu kontaktieren. Jedoch ist zu bedenken, dass durch induzierte Spannungsspitzen verursachte Fehler in Logik-Schaltungen sporadisch (und damit kaum reproduzierbar) auftreten, was die Fehlersuche extrem langwierig macht. Wenn alle IC-Seiten kontaktiert und abgeblockt werden, ist man (mit geringem Aufwand) auf der sicheren Seite. Auf jeden Fall müssen die application notes konsultiert werden.

5.2. Kompatibilität zwischen 74LSxx und 74HCTxx

Fragen

- Kann ein 74LSxx-Eingang an einen 74HCTxx-Ausgang angeschlossen werden?
- Kann ein 74HCTxx-Eingang an einen 74LSxx-Ausgang angeschlossen werden?

Antworten

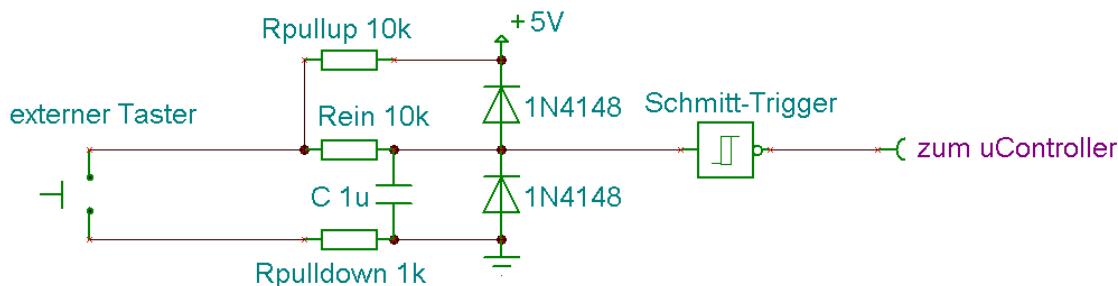
- Ja, die Spannungspegel sind kompatibel. Es können maximal 10 74LSxx-Eingänge an einen 74HCTxx-Ausgang angeschlossen werden (begrenzt durch den maximalen Ausgangsstrom).
- Ja, die Spannungspegel sind kompatibel. Da ein 74HCTxx-Eingang praktisch keinen Strom benötigt, können sehr viele an einen 74LSxx-Ausgang angeschlossen werden.

5.3. ESD-Schutz und Entprellung für μ Controller mit externem Taster

Aufgabe

- Ein externer Taster soll über eine Leitung an einem digitalen Eingang des μ Controllers angeschlossen werden. Gesucht ist eine Schaltung, die einen zuverlässigen ESD-Schutz bietet.
- Mechanische Taster prellen, d.h. beim Betätigen schliesst/öffnet der mechanische Kontakt während einiger ms mehrmals. Damit in der Software nur ein Tastendruck detektiert wird, muss der Schalter entprellt werden. Welche Schaltung ist dazu geeignet?

Musterlösung



- Der Schmitt-Trigger-Eingang ist von ESD-Einflüssen der oberen Taster-Leitung durch den Widerstand Rein und die Dioden geschützt.
- ESD-Einflüsse auf die 5V-Speisung und den GND werden durch die Widerstände Rpullup resp. Rpulldown auf unschädliche Werte verringert.
- Bei geöffnetem Taster, wird der Kondensator über die Widerstände Rpullup und Rein auf 5V aufgeladen = „high“.
- Bei geschlossenem Taster wird der Kondensator auf $5V \cdot 1k\Omega / (1k\Omega + 10k\Omega) = 0.45V$ entladen = „low“.
- Der Kondensator dient dem Entprellen des Tasters. Die hier eingestellte Verzögerung beträgt ca. 20ms
- Der Schmitt-Trigger hat eine Hysterese, die einen sauberen Pegel-Wechsel garantiert.
- Auf den Kondensator und den Schmitt-Trigger kann verzichtet werden, wenn Software-mässig entprellt wird.
- Einsatz eines Optokopplers ist nur sinnvoll, wenn beim Taster eine Spannungsquelle vorhanden ist.

5.4. Störspannungsabstand digitaler Standard-Signale

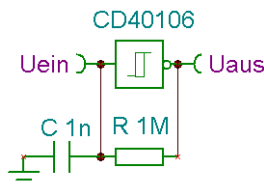
Aufgabe

- Wie gross ist der Störspannungsabstand der 74LSxx-Familie für den „low“-Pegel?
- Wie gross ist der Störspannungsabstand der 74LSxx-Familie für den „high“-Pegel?

Lösung

- Störspannungsabstand(„low“) = $U_{aus}(„low“)-U_{ein}(„low“) = 0.8V-0.4V = 0.4V$
- Störspannungsabstand(„high“) = $U_{aus}(„high“)-U_{ein}(„high“) = 2.4V-2.0V = 0.4V$

5.5. Low-Power-Oszillator

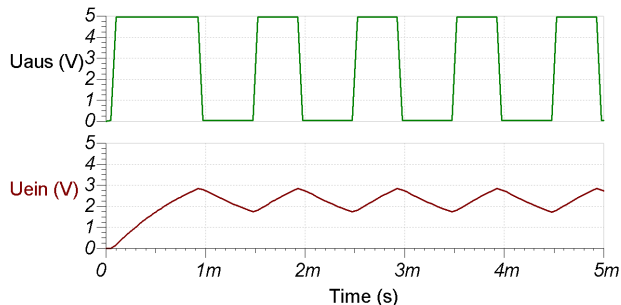


Aufgabe

- Wie sehen die Kurven-Formen am Ein- und Ausgang des Schmitt-Triggers aus?
- Wie hoch ist Oszillator-Frequenz?
- Wie viel Strom nimmt die Schaltung auf?

Lösung

- Der Schmitt-Trigger-Ausgang ist ein Rechteck. Über den Widerstand wird der Kondensator ge- resp. entladen und es entsteht ein **Stück einer Exponential-Funktion**.



Im Diagramm sieht man, wie der Oszillator beim Einschalten der Speisung anschwingt.

- Gemäss Datenblatt betragen die Umschaltsschwellen des Schmitt-Triggers typisch 1.4V und 3.6V. Unbelastete CMOS-Ausgänge schalten fast bis an die Versorgungsspannung. Durch den Widerstand fliesst durchschnittlich $2.5V/1M\Omega = 2.5\mu A$. Der Kondensator muss also um 2.2V umgeladen werden. Die Formel für die Kondensator-Ladung lautet: $Q = I \cdot \Delta t = C \cdot \Delta U$
 $\Delta t = C \cdot \Delta U / I = 1nF \cdot 2.2V / 2.5\mu A = 0.88\mu s$
 Zwei Umladevorgänge ergeben eine Periode. Also $f = 1/(2 \cdot \Delta t) = 568Hz$
 In der Simulation beträgt die Frequenz aber 1kHz. Das liegt daran, dass die Schaltschwellen des Schmitt-Triggers einer grossen Exemplar-Streuung unterliegen. Das Exemplar aus der Simulation hat z.B. Schaltschwellen bei 1.8V und 2.9V. Der Kondensator muss lediglich um 1.1V umgeladen werden, was die Frequenz von 1kHz erklärt.
 Anmerkung: Die Formel $Q = I \cdot \Delta t$ gilt nur, wenn der Strom konstant ist. Korrekterweise müsste mit dem Integral über eine Exponential-Funktion gerechnet werden.
- Der Strom durch den Widerstand beträgt $2.5\mu A$. Wenn der Ausgang positiv ist, wird dieser Strom von der Speisung bezogen, wenn der Ausgang negativ ist, fliesst er zum Ground: Mittelwert = $1.25\mu A$
 Der IC nimmt $1\mu A$ Ruhestrom auf
 Die „Power Dissipation Capacity“ ist ein Mass für die Ladung, die beim Umschalten des Ausgangs verbraucht wird. Im Datenblatt wird sie mit 14pF angegeben.
 Entsprechender Strom $I = C \cdot \Delta U / \Delta t = C \cdot \Delta U \cdot f = 14pF \cdot 5V \cdot 1kHz = 70\mu A$
 Total benötigt die Schaltung also **$72\mu A$ oder $0.4mW$** .

6. Literaturhinweise und Software

<https://home.zhaw.ch/~hhrt/EK1/LeistungsFETundIGBT.pdf> gibt eine Einführung in die Leistungselektronik und erklärt einfache Grundschaltungen. Die wichtigsten Eigenschaften der Leistungstransistoren FET und IGBT, einige Ansteuer- und Schutzschaltungen sowie Verlustleistungs-Aspekte werden behandelt.

Hering, Ekbert, Bressler, Klaus, Gutekunst, Jürgen
Elektronik für Ingenieure und Naturwissenschaftler
Springer-Verlag, 675 Seiten, Fr. 76.-
ISBN-10: 3-540-24309-7, ISBN-13: 9783540243090

Ralf Kories, Heinz Schmidt-Walter
Taschenbuch der Elektrotechnik
Verlag Harri Deutsch, 752 Seiten, Fr. 50.-
ISBN-10: 3-8171-1793-0, ISBN-13: 9783817117932

www.elektronik-kompodium.de/

Das Elektronik-Kompodium ist ein umfangreiches, leicht verständliches Online-Nachschlagewerk.

Online-Datenblätter elektronischer Bauteile: www.datasheetcatalog.com/

LTspice IV

is a high performance Spice III simulator, schematic capture and waveform viewer with enhancements and models for easing the simulation of switching regulators. Windows- und Linux-SW, gratis Download, vom Halbleiter-Hersteller Linear Technology, www.linear.com/designtools/software/

TINA Design Suite v7, Das komplette Elektroniklabor

Analyse, Design & Echtzeit-Test von analogen, digitalen, VHDL- und gemischten elektronischen Schaltkreisen und deren Layouts. Windows-SW, Studenten-Version 69€, www.tina.com/

7. Lernziele

- Sie können die Funktion von CMOS-Schaltungen interpretieren.
- Sie können von CMOS-Schaltungen die sicheren Schaltschwellen berechnen.
- Sie können für eine bestimmte Schaltung die worst-case-Bedingungen aus den Datenblättern herauslesen und die Schaltungen danach dimensionieren.
- Sie kennen die Design-Regeln für störungsarme Print-Layouts.
- Sie kennen je zwei Schutzmöglichkeiten für digitale Ein- und Ausgänge.
- Sie kennen die Möglichkeiten und den Aufbau eines universellen μ C-IO-Anschlusses.
- Sie wissen, wieso n-Kanal-MOS-FET schneller sind als p-Kanal-MOS-FET.
- Sie können die Funktionsweise einer Freilaufdiode erklären.
- Routine erlangen beim Konsultieren von Datenblättern.