

Kapitelverzeichnis (Buch Künzli)

1. Begriffe und Definitionen
2. Kombinatorische Logik und Schaltalgebra
3. Speicherbausteine (Flip-Flops)
4. Zähler
5. Register und Schieberegister
6. Automaten
7. Programmierbare Logik
8. Rechnerunterstützter Schaltungsentwurf/VHDL

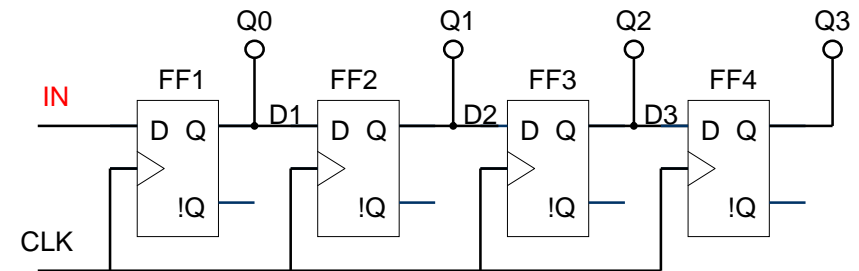
Kapitel 5: Schieberegister

- Anwendungen von Schieberegistern
- Grundschialtung eines Schieberegisters
- Allgemeines Zustandsdiagramm
- Parallel zu Seriell Umwandlung
- Rückgekoppelte Schieberegister
- Systematischer Entwurf eines beliebigen Schieberegisters
- Schieberegisterbaustein 74F194
- Ausnutzung des Schieberegister Effekts zum Testen von integrierten Schaltungen

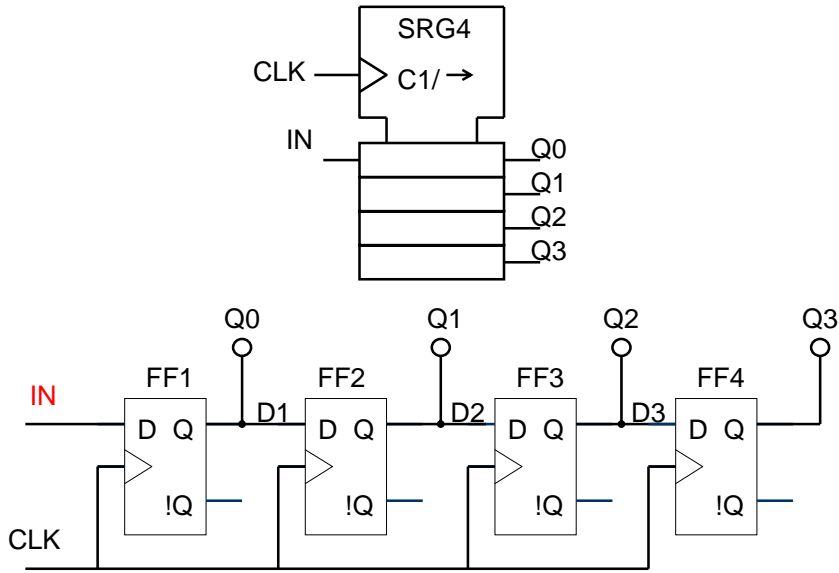
Anwendungen von Schieberegistern

- PC-Serielle Schnittstelle oder USB-Interface
 - Serielle Dateneingabe/parallele Datenausgabe (Parallel-Seriell Umwandlung)
 - Parallele Dateneingabe/serielle Datenausgabe, (Seriell-Parallelumwandlung)
 - Serielle Dateneingabe/serielle Datenausgabe)
- Schneller Zähler mit wenig Bauelementen
- Erzeugung von Taktfrequenzen mit unterschiedlicher Phase
- Dividieren/Multiplizieren
- Erzeugen von Pseudorandom Patterns

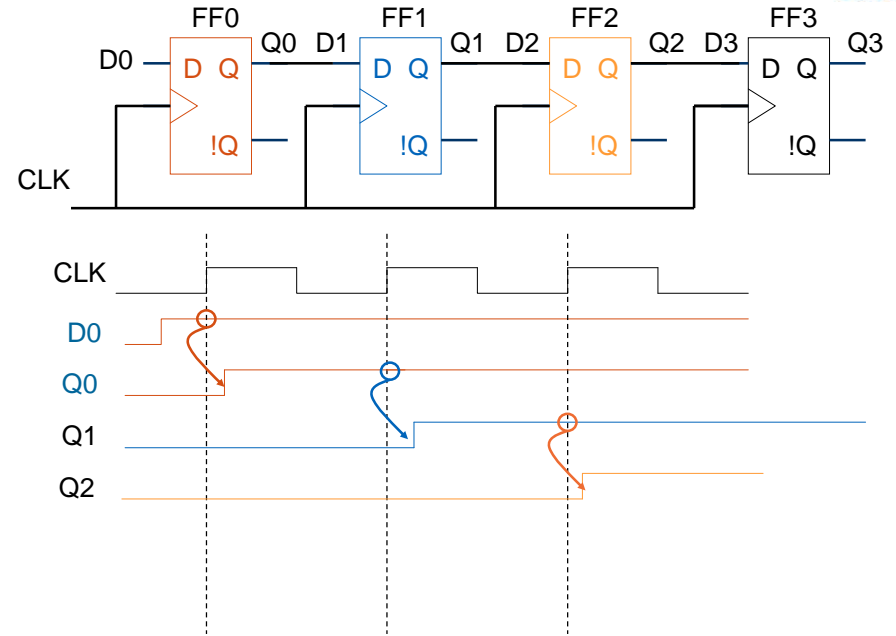
Grundschialtung eines Schieberegisters



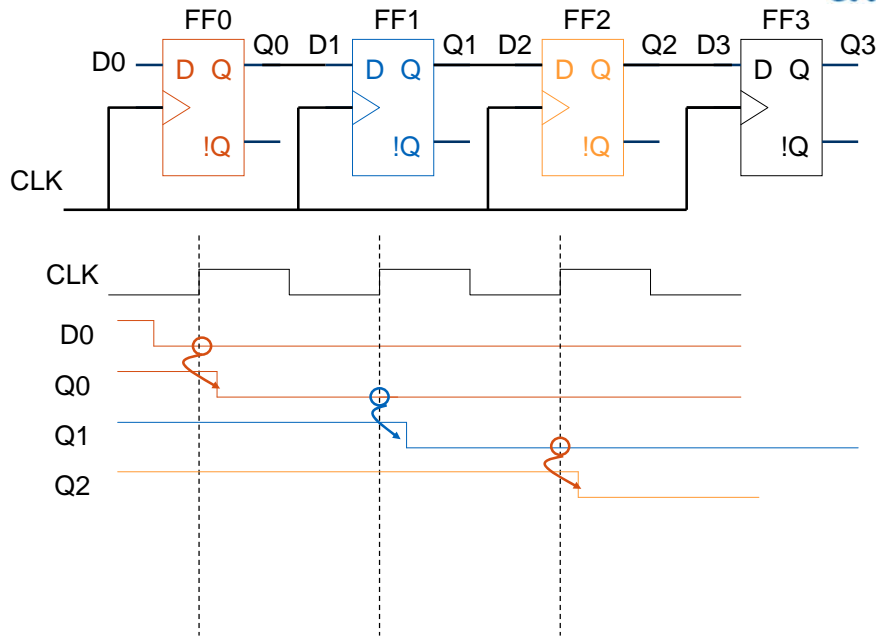
IEC Symbol eines Schieberegisters



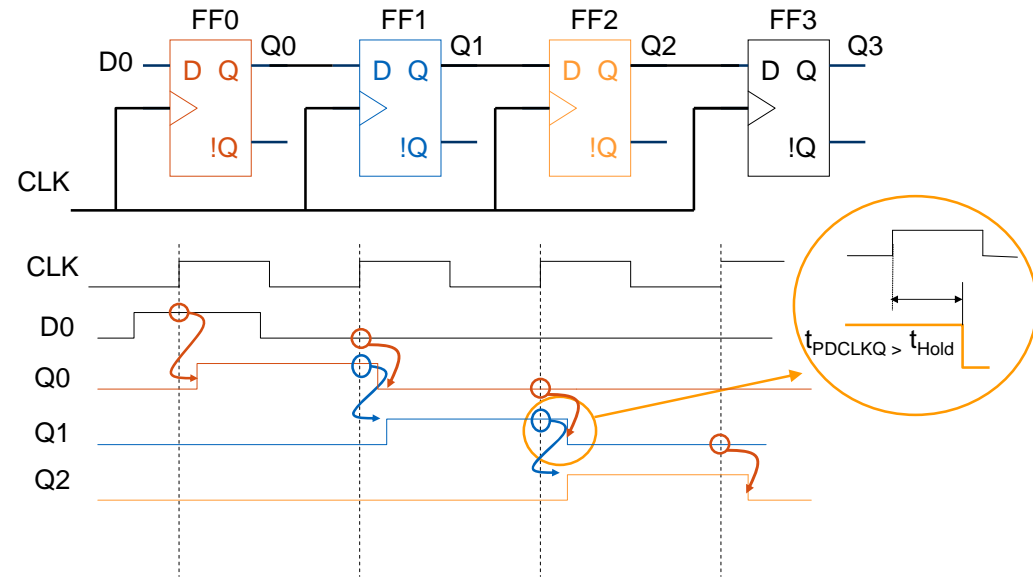
Füllen eines Schieberegisters mit „1“



Füllen eines Schieberegisters mit „0“



Durchschieben einer „1“



Zustandstabelle eines 4-bit Schieberegisters

Achtung: MSB ist zur Veranschaulichung rechts statt links !

Eingang	Gegenwärtiger Zustand					Folge Zustand				
	Dezimal	Q0	Q1	Q2	Q3	Dezimal	Q0'	Q1'	Q2'	Q3'
1	0	0	0	0	0	1	1	0	0	0
1	1	1	0	0	0	3	1	1	0	0
1	3	1	1	0	0	7	1	1	1	0
1	7	1	1	1	0	15	1	1	1	1
0	15	1	1	1	1	14	0	1	1	1
0	14	0	1	1	1	12	0	0	1	1
0	12	0	0	1	1	8	0	0	0	1
0	8	0	0	0	1	0	0	0	0	0
1	0	0	0	0	0	1	1	0	0	0
0	1	1	0	0	0	2	0	1	0	0
0	2	0	1	0	0	4	0	0	1	0
0	4	0	0	1	0	8	0	0	0	1
0	8	0	0	0	1	0	0	0	0	0

9

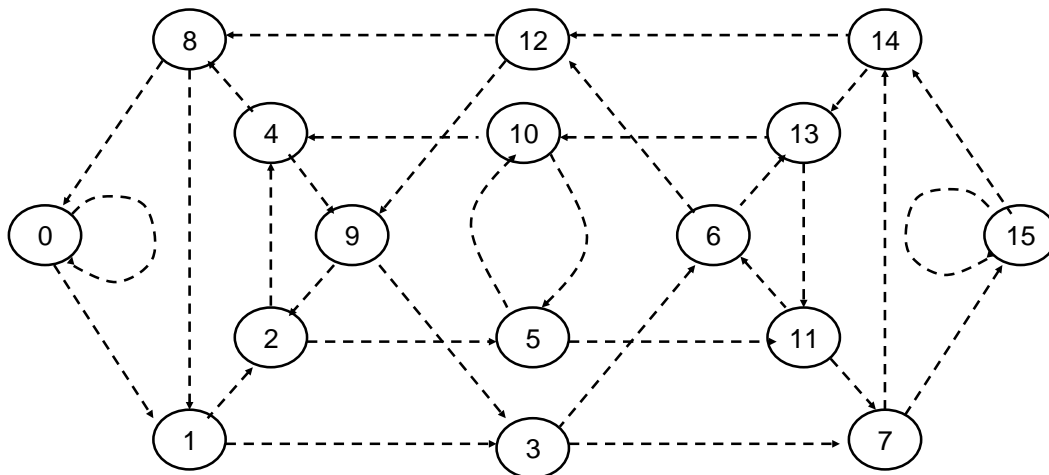
Zustandstabelle eines 4-bit Schieberegisters (Fortsetzung)

Achtung: MSB ist zur Veranschaulichung rechts statt links !

Eingang	Gegenwärtiger Zustand					Folge Zustand				
	Dezimal	Q0	Q1	Q2	Q3	Dezimal	Q0'	Q1'	Q2'	Q3'
0	0	0	0	0	0	0	0	0	0	0
0	3	1	1	0	0	6	0	1	1	0
0	7	1	1	1	0	14	0	1	1	1
1	15	1	1	1	1	15	1	1	1	1
1	14	0	1	1	1	13	1	0	1	1
1	12	0	0	1	1	9	1	0	0	1
1	8	0	0	0	1	1	1	0	0	0
1	1	1	0	0	0	3	1	1	0	0
1	2	0	1	0	0	5	1	0	1	0
1	4	0	0	1	0	9	1	0	0	1
1	8	0	0	0	1	1	1	0	0	0

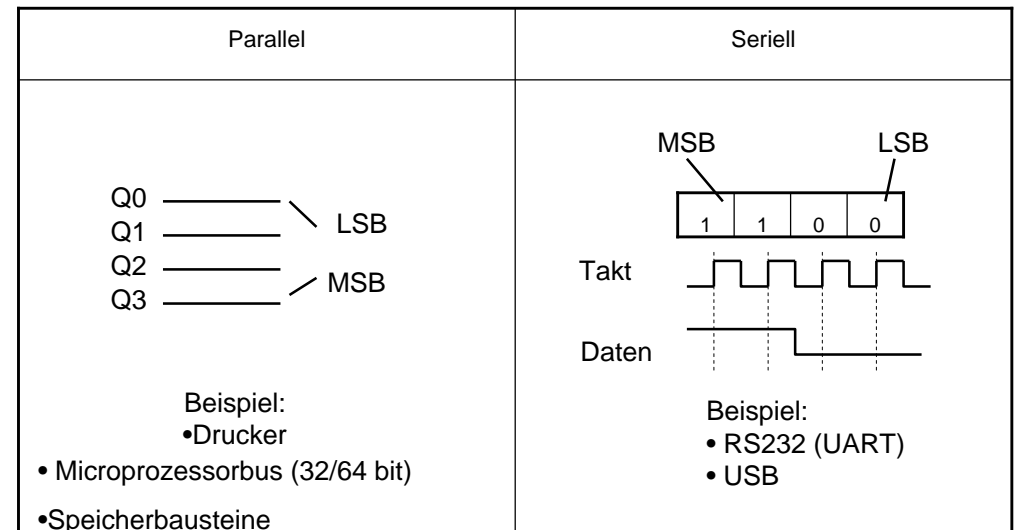
10

Allgemeines Zustandsdiagramm eines rückgekoppelten Schieberegisters



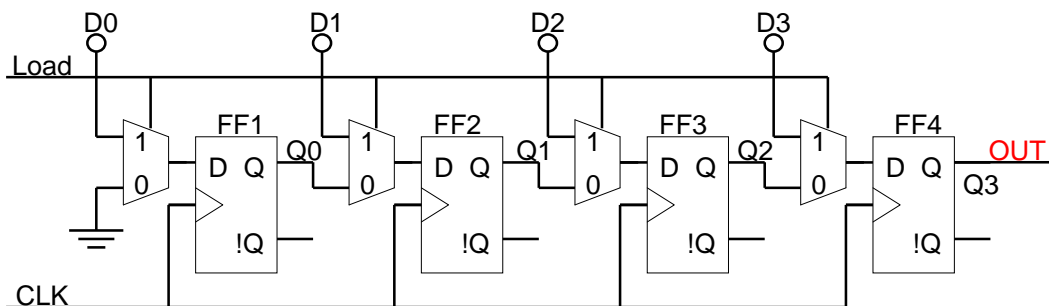
11

Parallel zu Seriell Umwandlung (und umgekehrt)



12

Parallel zu Seriell Wandler

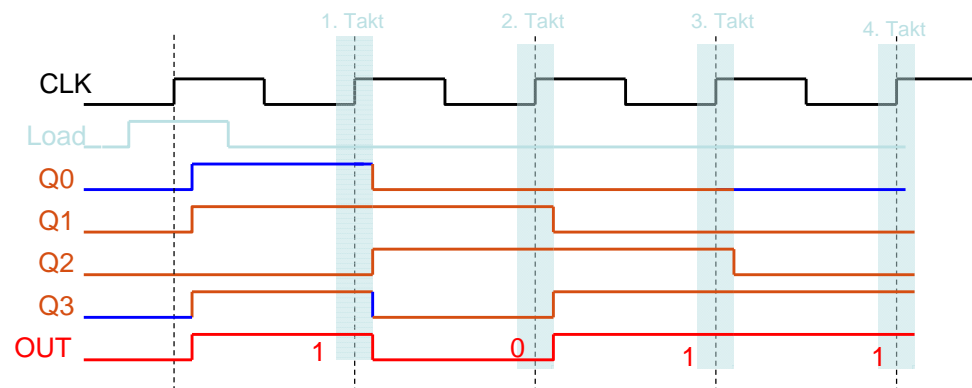


13

Parallel zu Seriell Umwandlung

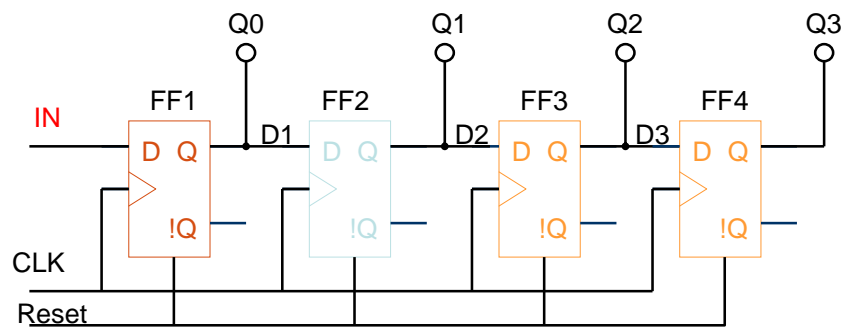
Takt	Gegenwärtiger Zustand				OUT	Folge Zustand			
	Q0	Q1	Q2	Q3		Q0'	Q1'	Q2'	Q3'
1.	1	1	0	1	1	0	1	1	0
2.	0	1	1	0	0	0	0	1	1
3.	0	0	1	1	1	0	0	0	1
4.	0	0	0	1	1	0	0	0	0

Zu übertragende Ziffer = 13



14

Seriell zu Parallel Wandler

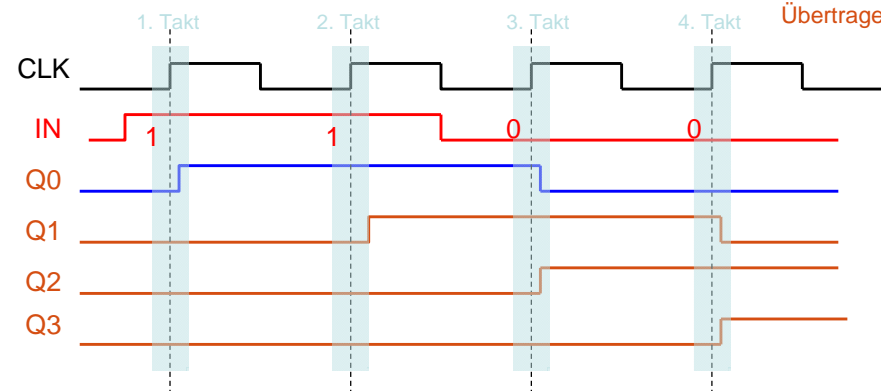


15

Seriell zu Parallel Umwandlung

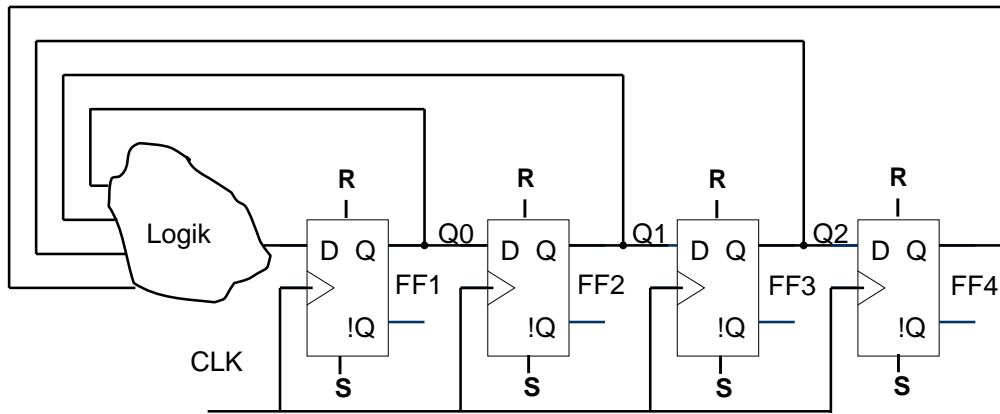
Takt	IN	Gegenwärtiger Zustand					Folge Zustand			
		Q0	Q1	Q2	Q3		Q0'	Q1'	Q2'	Q3'
1.	1	0	0	0	0	1	0	0	0	
2.	1	1	0	0	0	1	1	0	0	
3.	0	1	1	0	0	0	1	1	0	
4.	0	0	1	1	0	0	0	1	1	

Übertragene Ziffer = 12



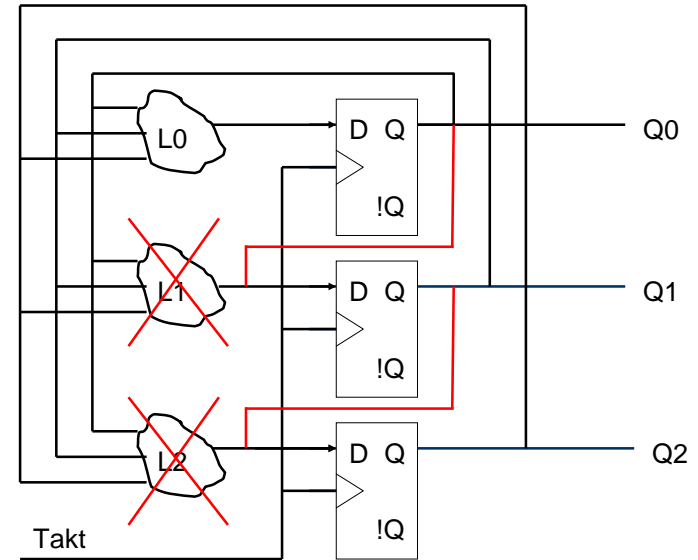
16

Rückgekoppelte Schieberegister

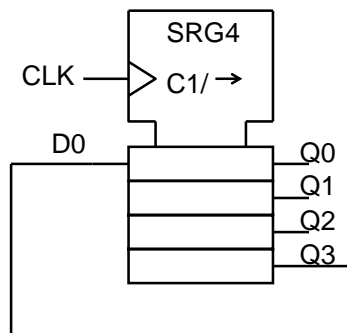


Grundschialtung

Rückgekoppelte Schieberegister sind Zählern sehr ähnlich



Ringzähler

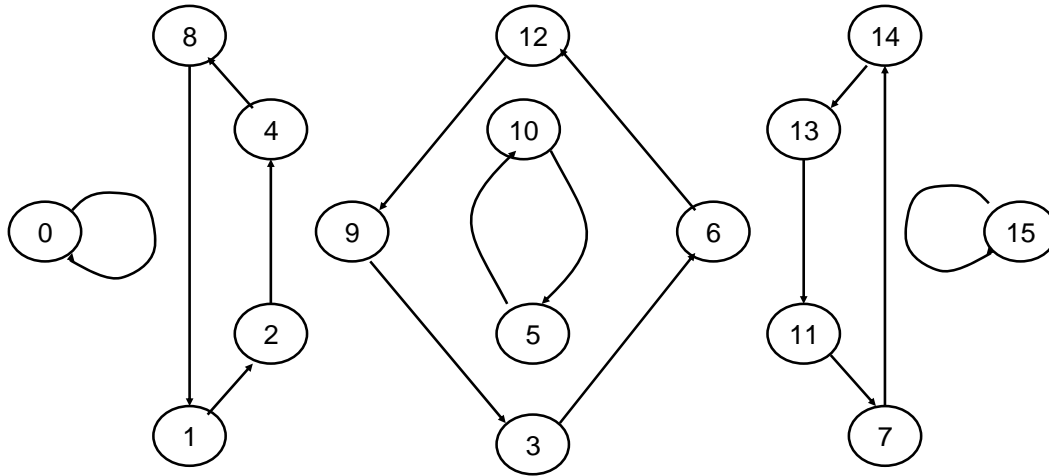


Zustandstabelle des Ringzählers

Achtung: MSB ist zur Veranschaulichung rechts statt links !

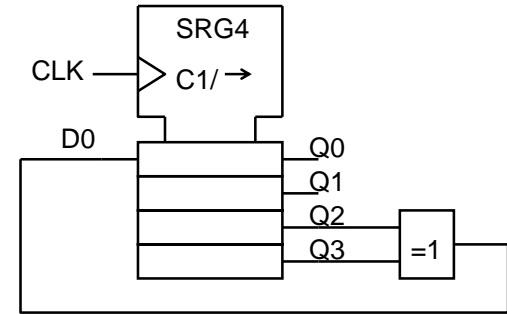
Gegenwärtiger Zustand					Folge Zustand				
Dezimal	Q0	Q1	Q2	Q3	Dezimal	Q0'	Q1'	Q2'	Q3'
0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	2	0	1	0	0
2	0	1	0	0	4	0	0	1	0
4	0	0	1	0	8	0	0	0	1
8	0	0	0	1	1	1	0	0	0
3	1	1	0	0	6	0	1	1	0
6	0	1	1	0	12	0	0	1	1
12	0	0	1	1	9	1	0	0	1
9	1	0	0	1	3	1	1	0	0
7	1	1	1	0	14	0	1	1	1
14	0	1	1	1	13	1	0	1	1
13	1	0	1	1	11	1	1	0	1
11	1	1	0	1	7	1	1	1	0
15	1	1	1	1	15	1	1	1	1

Zustandsdiagramm eines Ringzählers



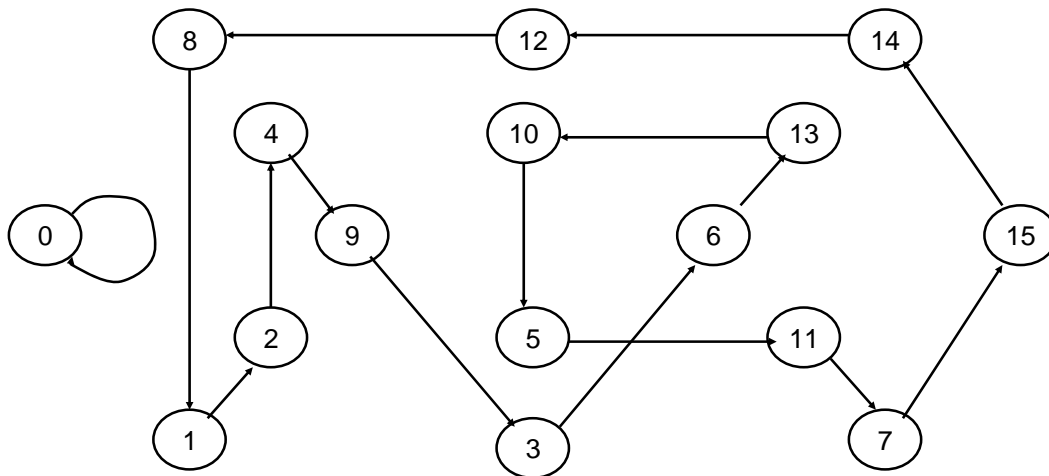
21

Lineare Schieberegister



22

Zustandsdiagramm des linearen Schieberegisters

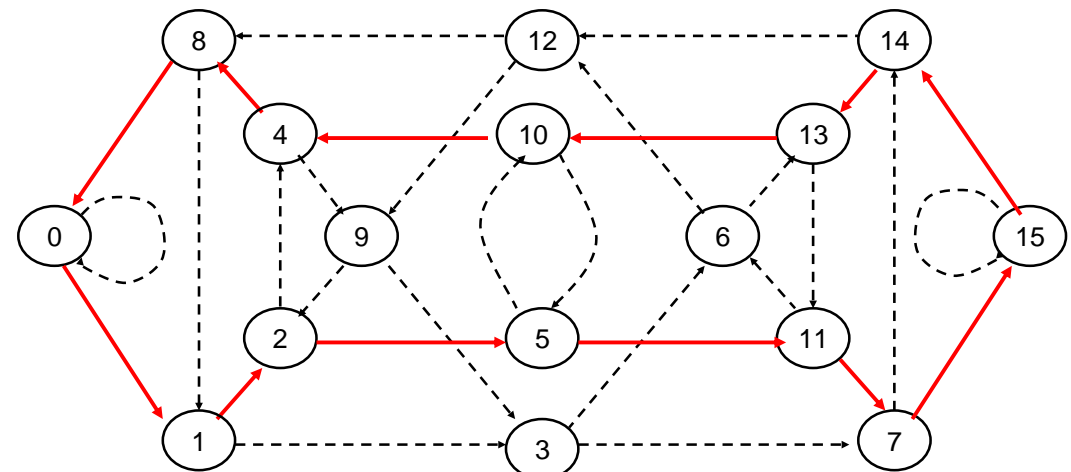


Maximale Länge der Sequenz = $2^n - 1$

23

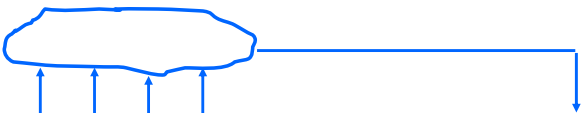
Systematischer Entwurf eines beliebigen Schieberegisters

1. Erstellen eines Zustandsdiagramms (Bubblediagramm)



24

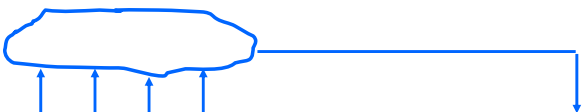
2. Erstellen einer Zustandstabelle



Dezimal	Gegenwärtiger Zustand				↗	Folgezustand				D0
	Q0	Q1	Q2	Q3		Q0'	Q1'	Q2'	Q3'	
0 →					→					
1 →					→					
2 →					→					
3 →					→					
4 →					→					
5 →					→					
6 →					→					
7 →					→					
8 →					→					
9 →					→					
10 →					→					
11 →					→					
12 →					→					
13 →					→					
14 →					→					
15 →					→					

25

2. Erstellen einer Zustandstabelle



Dezimal	Gegenwärtiger Zustand				↗	Folgezustand				D0
	Q0	Q1	Q2	Q3		Q0'	Q1'	Q2'	Q3'	
0 → 1	0	0	0	0	→	1	0	0	0	1
1 → 2	1	0	0	0	→	0	1	0	0	0
2 → 5	0	1	0	0	→	1	0	1	0	1
5 → 11	1	0	1	0	→	1	1	0	1	1
11 → 7	1	1	0	1	→	1	1	1	0	1
7 → 15	1	1	1	0	→	1	1	1	1	1
15 → 14	1	1	1	1	→	0	1	1	1	0
14 → 13	0	1	1	1	→	1	0	1	1	1
13 → 10	1	0	1	1	→	0	1	0	1	0
10 → 4	0	1	0	1	→	0	0	1	0	0
4 → 8	0	0	1	0	→	0	0	0	1	0
8 → 0	0	0	0	1	→	0	0	0	0	0

26

3. Auslesen der guten oder schlechten Terme

$$\begin{aligned}
 D0 = & (!Q0 \& !Q1 \& !Q2 \& !Q3) \# \\
 & (!Q0 \& Q1 \& !Q2 \& !Q3) \# \\
 & (Q0 \& !Q1 \& Q2 \& !Q3) \# \\
 & (Q0 \& Q1 \& !Q2 \& Q3) \# \\
 & (Q0 \& Q1 \& !Q2 \& Q3) \# \\
 & (Q0 \& Q1 \& Q2 \& !Q3) \# \\
 & (!Q0 \& Q1 \& Q2 \& Q3)
 \end{aligned}$$

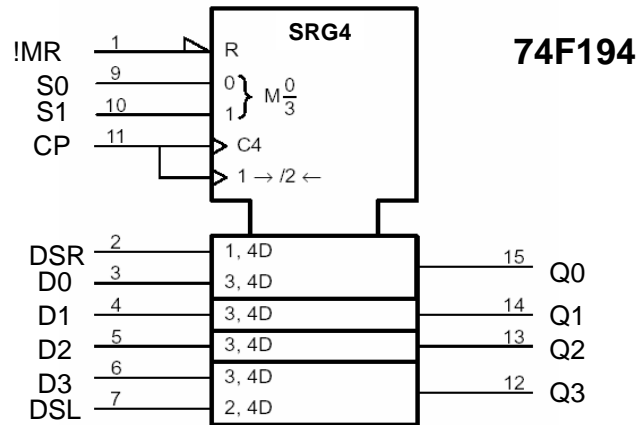
27

4. Vereinfachen mittels Karnaugh-Diagramm

	Q2						
				Q3	Q2	Q1	Q0
	0101	0111	0011	0001	} Q0		
	1101	1111	1011	1001			
	1100	1110	1010	1000			
	0100	0110	0010	0000			
} Q3							
	Q1						

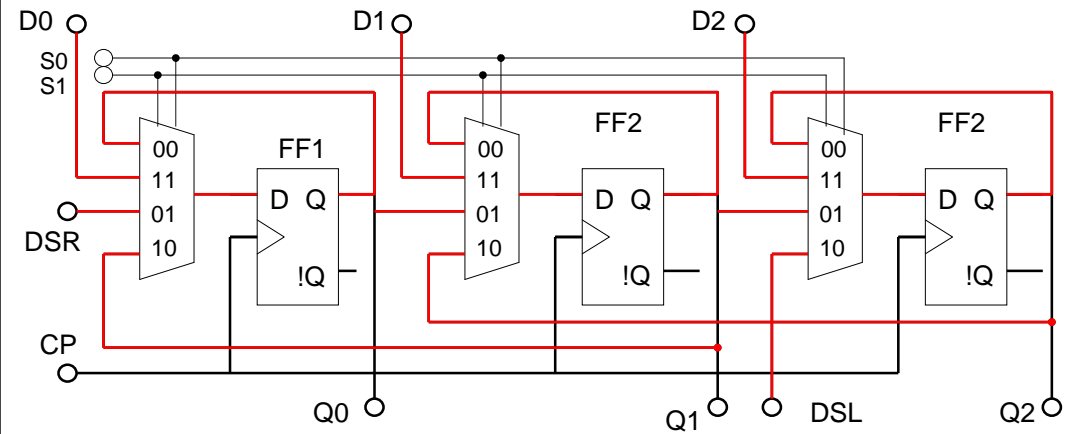
28

Schieberegisterbaustein der 74er Serie



Universelles Schieberegister 74F194

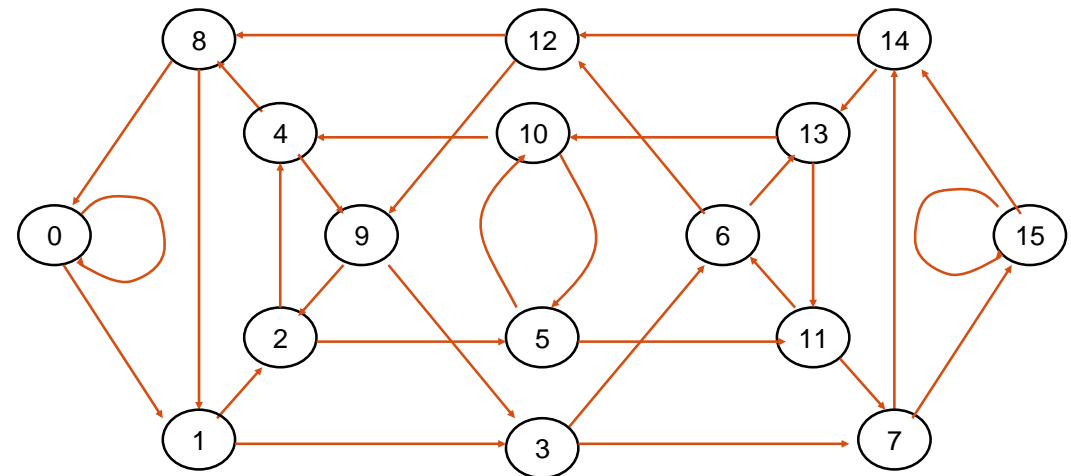
(nur 3 bits dargestellt)



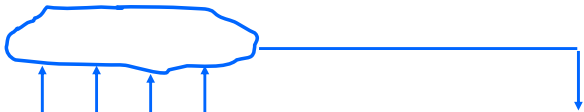
Übungen zu Schieberegistern

1. Prüfen sie mit Hilfe eines Zustandsdiagrammes die Logik (Nor-Gatter) des korrigierten Ringzählers nach.
2. Buch Aufgabe 29.
3. Buch Aufgabe 30.
4. Buch Aufgabe 32.
5. Buch Aufgabe 33.

Allgemeines Zustandsdiagramm eines Schieberegisters

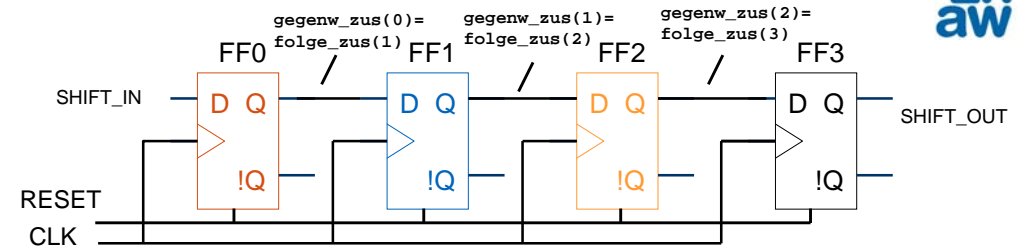


2. Erstellen einer Zustandstabelle



Dezimal	Gegenwärtiger Zustand				→	Folgezustand				D0
	Q0	Q1	Q2	Q3		Q0'	Q1'	Q2'	Q3'	
0 → 1	0	0	0	0	→	1	0	0	0	1
1 → 2	1	0	0	0	→	0	1	0	0	0
2 → 5	0	1	0	0	→	1	0	1	0	1
5 → 11	1	0	1	0	→	1	1	0	1	1
11 → 7	1	1	0	1	→	1	1	1	0	1
7 → 15	1	1	1	0	→	1	1	1	1	1
15 → 14	1	1	1	1	→	0	1	1	1	0
14 → 13	0	1	1	1	→	1	0	1	1	1
13 → 10	1	0	1	1	→	0	1	0	1	0
10 → 4	0	1	0	1	→	0	0	1	0	0
4 → 8	0	0	1	0	→	0	0	0	1	0
8 → 0	0	0	0	1	→	0	0	0	0	0

HDL Schieberegister in VHDL



```

Signal gegenw_zus : std_logic_vector(3 downto 0);
Signal folge_zus : std_logic_vector(3 downto 0);

shift_ff: Process(reset,clk)
BEGIN
  IF reset = '1' THEN gegenw_zus <= "0000";
  ELSIF clk'event AND clk='1' THEN
    gegenw_zus <= folge_zus;
  END IF; END PROCESS;

zus_folge_logik: Process(shift_in, gegenw_zus)
BEGIN
  folge_zus(0) <= shift_in;
  folge_zus(1) <= gegenw_zus (0);
  folge_zus(2) <= gegenw_zus (1);
  folge_zus(3) <= gegenw_zus (2);
  shift_out <= gegenw_zus (3);
END PROCESS;

```